

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-23743

(43) 公開日 平成10年(1998) 1月23日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M 1/08			H 0 2 M 1/08	A
	3 5 1			3 5 1 Z
H 0 2 J 1/00	3 0 4		H 0 2 J 1/00	3 0 4 E
H 0 2 M 7/537		8110-5H	H 0 2 M 7/537	A

審査請求 未請求 請求項の数9 O L (全 21 頁)

(21) 出願番号 特願平8-176475  
(22) 出願日 平成8年(1996) 7月5日

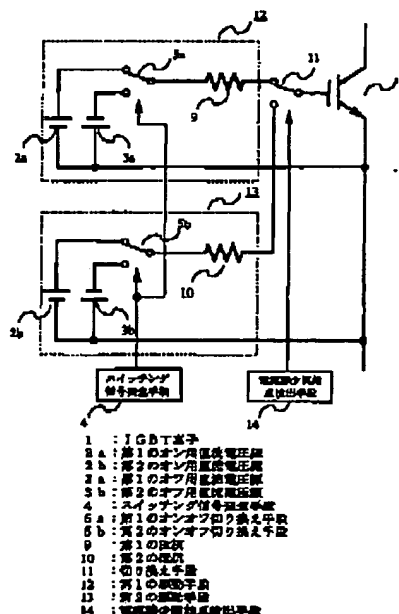
(71) 出願人 000008013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号  
(72) 発明者 木全 政弘  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内  
(74) 代理人 弁護士 宮田 金雄 (外3名)

(54) 【発明の名称】 半導体素子の駆動回路

(57) 【要約】

【課題】 電圧サージの抑制とスイッチング損失の低減とを両立することが可能で、かつ、全ての I G B T 素子に適用可能な半導体素子の駆動回路を得る。

【解決手段】 I G B T 素子 1 を駆動する第 1 の駆動手段 1 2 と、第 1 の駆動手段 1 2 よりも低速で I G B T 素子 1 を駆動する第 2 の駆動手段 1 3 と、第 1 の駆動手段 1 2 の出力と第 2 の駆動手段 1 3 の出力とを切り換えて I G B T 素子 1 のゲートに供給する切り換え手段 1 1 と、 I G B T 素子 1 のターンオフ時にコレクタ電流の変化が緩慢な第 1 の期間からそれに続くコレクタ電流の変化が急峻な第 2 の期間に移移する時の電流の減少開始点を検出する電流減少開始点検出手段 1 4 とから構成されており、電流減少開始点検出手段 1 4 の出力により、第 1 の期間において第 1 の駆動手段 1 2 を用い、第 2 の期間において第 2 の駆動手段 1 3 を用いるように切り換え手段 1 1 を動作させる。



## 【特許請求の範囲】

【請求項1】 制御電極に印加する電圧によって主電極間の導通状態を制御する絶縁ゲート形自己消滅素子の制御電極に接続される駆動回路において、前記絶縁ゲート形自己消滅素子を駆動する第1の駆動手段と、前記第1の駆動手段よりも低速で前記絶縁ゲート形自己消滅素子を駆動する第2の駆動手段と、前記第1の駆動手段と前記第2の駆動手段に信号を供給するスイッチング信号発生手段と、前記第1の駆動手段の出力と前記第2の駆動手段の出力とを切り換えて前記制御電極に供給する切り換え手段と、前記制御電極の電圧を低下させ前記主電極間を導通状態から非導通状態に移させる際に前記主電極に流れる電流の変化が緩慢な第1の期間からそれに続く電流の変化が急峻な第2の期間に移移する時の電流の減少開始点を検出する電流減少開始点検出手段とを有し、前記電流減少開始点検出手段の出力により、前記第1の期間において前記第1の駆動手段を用い、前記第2の期間において前記第2の駆動手段を用いるように前記切り換え手段を動作させることを特徴とする半導体素子の駆動回路。

【請求項2】 制御電極に印加する電圧によって主電極間の導通状態を制御する絶縁ゲート形自己消滅素子の制御電極に接続される駆動回路において、前記制御電極にオン電圧を供給するオン用直流電圧源と、前記制御電極にオフ電圧を供給するオフ用直流電圧源と、前記オン用直流電圧源と前記オフ用直流電圧源とを切り換えるオンオフ切り換え手段と、前記オンオフ切り換え手段に信号を供給するスイッチング信号発生手段と、前記オンオフ切り換え手段に接続された第1のゲート抵抗と、前記オンオフ切り換え手段に接続され前記第1のゲート抵抗よりも大きな抵抗値を有する第2のゲート抵抗と、前記第1のゲート抵抗と前記第2のゲート抵抗とを切り換えて前記制御電極に接続する切り換え手段と、前記制御電極の電圧を低下させ前記主電極間を導通状態から非導通状態に移させる際に前記主電極に流れる電流の変化が緩慢な第1の期間からそれに続く電流の変化が急峻な第2の期間に移移する時の電流の減少開始点を検出する電流減少開始点検出手段とを有し、前記電流減少開始点検出手段の出力により、前記第1の期間において前記第1のゲート抵抗を用い、前記第2の期間において前記第2のゲート抵抗を用いるように前記切り換え手段を動作させることを特徴とする半導体素子の駆動回路。

【請求項3】 制御電極に印加する電圧によって主電極間の導通状態を制御する絶縁ゲート形自己消滅素子の制御電極に接続される駆動回路において、前記制御電極にオン電圧を供給するオン用直流電圧源と、前記制御電極にオフ電圧を供給する第1のオフ用直流電圧源と、前記制御電極にオフ電圧を供給し前記第1のオフ用直流電圧源よりも小さい電圧を有する第2のオフ用直流電圧源と、前記第1のオフ用直流電圧源と前記第2のオフ用直

流電圧源とを切り換える切り換え手段と、前記オン用直流電圧源と前記第1の切り換え手段の出力とを切り換えるオンオフ切り換え手段と、前記オンオフ切り換え手段に信号を供給するスイッチング信号発生手段と、前記オンオフ切り換え手段と前記制御電極との間に接続されたゲート抵抗と、前記制御電極の電圧を低下させ前記主電極間を導通状態から非導通状態に移させる際に前記主電極に流れる電流の変化が緩慢な第1の期間からそれに続く電流の変化が急峻な第2の期間に移移する時の電流の減少開始点を検出する電流減少開始点検出手段とを有し、前記電流減少開始点検出手段の出力により、前記第1の期間において前記第1のオフ用直流電圧源を用い、前記第2の期間において前記第2のオフ用直流電圧源を用いるように前記切り換え手段を動作させることを特徴とする半導体素子の駆動回路。

【請求項4】 制御電極に印加する電圧によって主電極間の導通状態を制御する絶縁ゲート形自己消滅素子の制御電極に接続される駆動回路において、前記制御電極に電流を流し込むオン用直流電流源と、前記制御電極から電流を流し出す第1のオフ用直流電流源と、前記制御電極から電流を流し出し前記第1のオフ用直流電流源よりも電流値の小さい第2のオフ用直流電流源と、前記第1のオフ用直流電流源と前記第2のオフ用直流電流源とを切り換える切り換え手段と、前記オン用直流電流源と前記第1の切り換え手段の出力とを切り換えて前記制御電極に接続するオンオフ切り換え手段と、前記オンオフ切り換え手段に信号を供給するスイッチング信号発生手段と、前記制御電極の電圧を低下させ前記主電極間を導通状態から非導通状態に移させる際に前記主電極に流れる電流の変化が緩慢な第1の期間からそれに続く電流の変化が急峻な第2の期間に移移する時の電流の減少開始点を検出する電流減少開始点検出手段とを有し、前記電流減少開始点検出手段の出力により、前記第1の期間において前記第1のオフ用直流電流源を用い、前記第2の期間において前記第2のオフ用直流電流源を用いるように前記切り換え手段を動作させることを特徴とする半導体素子の駆動回路。

【請求項5】 制御電極に印加する電圧によって主電極間の導通状態を制御する絶縁ゲート形自己消滅素子の制御電極に接続される駆動回路において、前記制御電極にオン電圧を供給するオン用直流電圧源と、前記制御電極にオフ電圧を供給するオフ用直流電圧源と、前記オン用直流電圧源と前記オフ用直流電圧源とを切り換えるオンオフ切り換え手段と、前記オンオフ切り換え手段に信号を供給するスイッチング信号発生手段と、前記オンオフ切り換え手段と前記制御電極の間に接続されたゲート抵抗と、前記制御電極に接続された切り換え手段と、前記切り換え手段と前記主電極の一端の間に接続されたコンデンサと、前記切り換え手段と並列に接続された電圧調整手段と、前記制御電極に印加する電圧を低下させ前記

主電極間を導通状態から非導通状態に移移させる際に前記主電極に流れる電流の変化が緩慢な第1の期間からそれに続く電流の変化が急峻な第2の期間に移移する時の電流の減少開始点を検出する電流減少開始点検出手段とを有し、前記電流減少開始点検出手段の出力により、前記第2の期間において前記制御電極と前記コンデンサが接続されるように前記切り換え手段を動作させることを特徴とする半導体素子の駆動回路。

【請求項6】 前記電流減少開始点検出手段が、前記絶縁ゲート形自己消滅素子の制御電極の電圧を検出する電圧検出手段と、基準電圧源と、前記電圧検出手段の出力と前記基準電圧源の出力とを比較する比較手段とから成ることを特徴とする請求項1ないし5のいずれかに記載の半導体素子の駆動回路。

【請求項7】 前記電流減少開始点検出手段が、前記絶縁ゲート形自己消滅素子の制御電極に流れる電流を検出する電流検出手段と、基準電圧源と、前記電流検出手段の出力と前記基準電圧源の出力とを比較する比較手段とから成ることを特徴とする請求項1ないし5のいずれかに記載の半導体素子の駆動回路。

【請求項8】 前記電流減少開始点検出手段が、前記絶縁ゲート形自己消滅素子の制御電極の電圧を検出する電圧検出手段と、前記電圧検出手段の出力を微分する微分手段と、基準電圧源と、前記微分手段の出力と前記基準電圧源の出力とを比較する比較手段とから成ることを特徴とする請求項1ないし5のいずれかに記載の半導体素子の駆動回路。

【請求項9】 前記電流減少開始点検出手段が、前記絶縁ゲート形自己消滅素子の制御電極に流れる電流を検出する電流検出手段と、前記電流検出手段の出力を微分する微分手段と、基準電圧源と、前記微分手段の出力と前記基準電圧源の出力とを比較する比較手段とから成ることを特徴とする請求項1ないし5のいずれかに記載の半導体素子の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、スイッチング用半導体素子の一種であるIGBT素子（Insulated Gate Bipolar Transistor、絶縁ゲート形自己消滅素子）のゲート駆動回路に関するものであり、特にターンオフ動作中の電圧サージを抑制することが可能で、かつ、スイッチング損失を低減することが可能なゲート駆動回路に関するものである。

【0002】

【従来の技術】図18は例えば特開平5-328746号公報に述べられた半導体素子の駆動回路を示す構成図であり、図において、1は制御電極に印加する電圧によって主電極間の導通状態を制御する絶縁ゲート形自己消滅素子であり、1aは制御電極、1bは第1の主電極、1cは第2の主電極である。以後、簡便化のために、絶縁

ゲート形自己消滅素子1をIGBT素子1、制御電極1aをゲート1a、第1の主電極1bをコレクタ1b、第2の主電極1cをエミッタ1cと呼ぶ。2はIGBT素子1をオンするための電圧を供給するオン用直流電圧源、3はIGBT素子1をオフするための電圧を供給するオフ用直流電圧源、4はIGBT素子1をオン/オフする信号を発生するスイッチング信号発生手段、5はスイッチング信号発生手段4の出力によりオン用直流電圧源2とオフ用直流電圧源3を切り換えてIGBT素子1のゲート1aに電圧を印加するオンオフ切り換え手段、6はゲート抵抗を切り換えるゲート抵抗切り換え手段である。ゲート抵抗切り換え手段6は、抵抗9と、抵抗10と、切り換え手段11から構成されている。また、7はIGBT素子1に流れる電流を検出する電流検出手段、8は電流検出手段7の出力によりゲート抵抗切り換え手段6を制御する制御手段である。

【0003】図19は、制御手段8の制御方法を示すフローチャートである。この制御方法においては、IGBT素子1の導通電流を検出する電流検出手段7の出力により、導通電流が基準電流値より小さいか否かを判別し、基準電流値より小さいと判別された場合にはゲート抵抗を大きく切り換える信号を出力して処理を終了する。基準電流値より小さくないと判別された場合にはゲート抵抗を大きく切り換える信号を出力せずに処理を終了する。

【0004】次に図18、図19、図20、図21を用いて動作について説明する。スイッチング信号発生手段4がオン信号を出力すると、オンオフ切り換え手段5はオン用直流電圧源2に切り換えられ、IGBT素子1のゲート1aにゲート抵抗切り換え手段6を介してオン電圧が印加され、IGBT素子1はオンする。IGBT素子1がオン状態の時、電流検出手段7によりIGBT素子1の導通電流を検出し、制御手段8が検出された導通電流値が基準電流値より小さいか否かを判別する。導通電流値が基準電流値より小さいと判別された場合には、制御手段8はゲート抵抗切り換え手段6に抵抗切り換え信号を供給して、ゲート抵抗が大きくなるように切り換え手段11を切り換える。具体的には、切り換え手段11が短絡状態であったのを開放状態にし、抵抗9のみをゲート抵抗として使用する。次いで、スイッチング信号発生手段4がオフ信号を出力すると、オンオフ切り換え手段5はオフ用直流電圧源3に切り換えられ、IGBT素子1のゲート1aにゲート抵抗切り換え手段6を介してオフ電圧が印加され、IGBT素子1はオフする。この際、切り換え手段11が開放状態であるため抵抗9のみでターンオフ動作が行われる。また、制御手段8が導通電流値が基準電流値より大きいと判別した場合は、切り換え手段11の短絡状態を維持し、抵抗9と抵抗10の合成抵抗をゲート抵抗として使用する。抵抗9と抵抗10は並列接続されるため、合成抵抗は抵抗9よりも小さくなる。従って、こ

の動作によれば導通電流値が基準電流値よりも小さい場合にのみゲート抵抗が大きくなる。

【0005】図20はゲート抵抗の大小がIGBT素子1のターンオフ時のスイッチング波形に及ぼす効果を示した図である。IGBT素子1の導通電流であるコレクタ電流 $I_c$ と、IGBT素子1のコレクター-エミッタ間電圧 $V_{ce}$ と、IGBT素子1のスイッチング損失 $P$ とを図示しており、図20(a)はゲート抵抗が小さい場合を、図20(b)はゲート抵抗が大きい場合をそれぞれ示している。ゲート抵抗を大きくする程ターンオフ時のコレクタ電流 $I_c$ の減少率が緩やかになるため、配線インダクタンスに前記コレクタ電流 $I_c$ の減少率が印加されることによって生じるコレクター-エミッタ間の電圧サージは低減される。しかし、同時にコレクター-エミッタ間電圧 $V_{ce}$ の増加率も緩やかになるため、コレクタ電流 $I_c$ とコレクター-エミッタ間電圧 $V_{ce}$ の乗算積分値で表されるスイッチング損失 $P$ は増加する。以上のように、電圧サージの抑制はゲート抵抗を大きくすることで実現できるが、スイッチング損失が増加するという欠点がある。

【0006】ここで、IGBT素子1のターンオフ特性を考える。IGBT素子1のターンオフ時にコレクタ電流 $I_c$ が減少を始めてから減少を終了するまでの時間である下降時間 $t_f$ はコレクタ電流 $I_c$ に依存しており、 $I_c$ の増加関数の特性を有している。これを示したのが図21である。大電流域では素子特性により下降時間 $t_f$ が長くなり必然的に(コレクタ電流/下降時間)で表される電流減少率が小さくなるため、電圧サージは問題となくなる。逆に、小電流域では下降時間 $t_f$ が短くなり、電圧サージが大きくなるため低減対策が必要になる。従って、導通電流が小電流域である時のみゲート抵抗値を大きくして下降時間 $t_f$ を長くすることで、電圧サージを抑制することができる。この際、大電流域においてはゲート抵抗値を小さくしているため、スイッチング損失は増加しない。

【0007】

【発明が解決しようとする課題】従来の半導体素子の駆動回路は以上のように構成されており、IGBT素子がコレクタ電流の増加に伴って下降時間が増加する素子特性を前提にしているため、特定の素子にしか適用できないという問題点があった。また、従来の半導体素子の駆動回路では電圧サージの抑制のためにゲート抵抗の最小値が決まってしまうため、ゲート抵抗を電圧サージの制限を超えて小さくすることができない。このため、ゲート抵抗を小さくしてスイッチング損失を低減する対策が効果的に行えないという問題点があった。

【0008】この発明は上記のような問題点を解消するためになされたもので、電圧サージの抑制とスイッチング損失の低減とを両立することが可能で、かつ、全てのIGBT素子に適用可能な半導体素子の駆動回路を得る

ことを目的としている。

【0009】

【課題を解決するための手段】この発明の第1の構成に係る半導体素子の駆動回路は、制御電極に印加する電圧によって主電極間の導通状態を制御する絶縁ゲート形自己消滅素子の制御電極に接続される駆動回路において、前記絶縁ゲート形自己消滅素子を駆動する第1の駆動手段と、前記第1の駆動手段よりも低速で前記絶縁ゲート形自己消滅素子を駆動する第2の駆動手段と、前記第1の駆動手段と前記第2の駆動手段に信号を供給するスイッチング信号発生手段と、前記第1の駆動手段の出力と前記第2の駆動手段の出力とを切り換えて前記制御電極に供給する切り換え手段と、前記制御電極の電圧を低下させ前記主電極間を導通状態から非導通状態に移させる際に前記主電極に流れる電流の変化が緩慢な第1の期間からそれに続く電流の変化が急峻な第2の期間に移移する時の電流の減少開始点を検出する電流減少開始点検出手段とを有し、前記電流減少開始点検出手段の出力により、前記第1の期間において前記第1の駆動手段を用い、前記第2の期間において前記第2の駆動手段を用いるように前記切り換え手段を動作させるものである。

【0010】この発明の第2の構成に係る半導体素子の駆動回路は、制御電極に印加する電圧によって主電極間の導通状態を制御する絶縁ゲート形自己消滅素子の制御電極に接続される駆動回路において、前記制御電極にオン電圧を供給するオン用直流電圧源と、前記制御電極にオフ電圧を供給するオフ用直流電圧源と、前記オン用直流電圧源と前記オフ用直流電圧源とを切り換えるオンオフ切り換え手段と、前記オンオフ切り換え手段に信号を供給するスイッチング信号発生手段と、前記オンオフ切り換え手段に接続された第1のゲート抵抗と、前記オンオフ切り換え手段に接続され前記第1のゲート抵抗よりも大きな抵抗値を有する第2のゲート抵抗と、前記第1のゲート抵抗と前記第2のゲート抵抗とを切り換えて前記制御電極に接続する切り換え手段と、前記制御電極の電圧を低下させ前記主電極間を導通状態から非導通状態に移させる際に前記主電極に流れる電流の変化が緩慢な第1の期間からそれに続く電流の変化が急峻な第2の期間に移移する時の電流の減少開始点を検出する電流減少開始点検出手段とを有し、前記電流減少開始点検出手段の出力により、前記第1の期間において前記第1のゲート抵抗を用い、前記第2の期間において前記第2のゲート抵抗を用いるように前記切り換え手段を動作させるものである。

【0011】この発明の第3の構成に係る半導体素子の駆動回路は、制御電極に印加する電圧によって主電極間の導通状態を制御する絶縁ゲート形自己消滅素子の制御電極に接続される駆動回路において、前記制御電極にオン電圧を供給するオン用直流電圧源と、前記制御電極にオフ電圧を供給する第1のオフ用直流電圧源と、前記制

御電極にオフ電圧を供給し前記第1のオフ用直流電圧源よりも小さい電圧を有する第2のオフ用直流電圧源と、前記第1のオフ用直流電圧源と前記第2のオフ用直流電圧源とを切り換える切り換え手段と、前記オン用直流電圧源と前記第1の切り換え手段の出力とを切り換えるオンオフ切り換え手段と、前記オンオフ切り換え手段に信号を供給するスイッチング信号発生手段と、前記オンオフ切り換え手段と前記制御電極との間に接続されたゲート抵抗と、前記制御電極の電圧を低下させ前記主電極間を導通状態から非導通状態に移させる際に前記主電極に流れる電流の変化が緩慢な第1の期間からそれに続く電流の変化が急峻な第2の期間に移移する時の電流の減少開始点を検出する電流減少開始点検出手段とを有し、前記電流減少開始点検出手段の出力により、前記第1の期間において前記第1のオフ用直流電圧源を用い、前記第2の期間において前記第2のオフ用直流電圧源を用いるように前記切り換え手段を動作させるものである。

【0012】この発明の第4の構成に係る半導体素子の駆動回路は、制御電極に印加する電圧によって主電極間の導通状態を制御する絶縁ゲート形自己消滅素子の制御電極に接続される駆動回路において、前記制御電極に電流を流し込むオン用直流電圧源と、前記制御電極から電流を流し出す第1のオフ用直流電圧源と、前記制御電極から電流を流し出し前記第1のオフ用直流電圧源よりも電流値の小さい第2のオフ用直流電圧源と、前記第1のオフ用直流電圧源と前記第2のオフ用直流電圧源とを切り換える切り換え手段と、前記オン用直流電圧源と前記第1の切り換え手段の出力とを切り換える前記制御電極に接続するオンオフ切り換え手段と、前記オンオフ切り換え手段に信号を供給するスイッチング信号発生手段と、前記制御電極の電圧を低下させ前記主電極間を導通状態から非導通状態に移させる際に前記主電極に流れる電流の変化が緩慢な第1の期間からそれに続く電流の変化が急峻な第2の期間に移移する時の電流の減少開始点を検出する電流減少開始点検出手段とを有し、前記電流減少開始点検出手段の出力により、前記第1の期間において前記第1のオフ用直流電圧源を用い、前記第2の期間において前記第2のオフ用直流電圧源を用いるように前記切り換え手段を動作させるものである。

【0013】この発明の第5の構成に係る半導体素子の駆動回路は、制御電極に印加する電圧によって主電極間の導通状態を制御する絶縁ゲート形自己消滅素子の制御電極に接続される駆動回路において、前記制御電極にオン電圧を供給するオン用直流電圧源と、前記制御電極にオフ電圧を供給するオフ用直流電圧源と、前記オン用直流電圧源と前記オフ用直流電圧源とを切り換えるオンオフ切り換え手段と、前記オンオフ切り換え手段に信号を供給するスイッチング信号発生手段と、前記オンオフ切り換え手段と前記制御電極の間に接続されたゲート抵抗と、前記制御電極に接続された切り換え手段と、前記切

り換え手段と前記主電極の一端の間に接続されたコンデンサと、前記切り換え手段と並列に接続された電圧調整手段と、前記制御電極に印加する電圧を低下させ前記主電極間を導通状態から非導通状態に移させる際に前記主電極に流れる電流の変化が緩慢な第1の期間からそれに続く電流の変化が急峻な第2の期間に移移する時の電流の減少開始点を検出する電流減少開始点検出手段とを有し、前記電流減少開始点検出手段の出力により、前記第2の期間において前記制御電極と前記コンデンサが接続されるように前記切り換え手段を動作させるものである。

【0014】この発明の第6の構成に係る半導体素子の駆動回路は、前記電流減少開始点検出手段が、前記絶縁ゲート形自己消滅素子の制御電極の電圧を検出する電圧検出手段と、基準電圧源と、前記電圧検出手段の出力と前記基準電圧源の出力とを比較する比較手段とから成るものである。

【0015】この発明の第7の構成に係る半導体素子の駆動回路は、前記電流減少開始点検出手段が、前記絶縁ゲート形自己消滅素子の制御電極に流れる電流を検出する電流検出手段と、基準電圧源と、前記電流検出手段の出力と前記基準電圧源の出力とを比較する比較手段とから成るものである。

【0016】この発明の第8の構成に係る半導体素子の駆動回路は、前記電流減少開始点検出手段が、前記絶縁ゲート形自己消滅素子の制御電極の電圧を検出する電圧検出手段と、前記電圧検出手段の出力を微分する微分手段と、基準電圧源と、前記微分手段の出力と前記基準電圧源の出力とを比較する比較手段とから成るものである。

【0017】この発明の第9の構成に係る半導体素子の駆動回路は、前記電流減少開始点検出手段が、前記絶縁ゲート形自己消滅素子の制御電極に流れる電流を検出する電流検出手段と、前記電流検出手段の出力を微分する微分手段と、基準電圧源と、前記微分手段の出力と前記基準電圧源の出力とを比較する比較手段とから成るものである。

【0018】

【発明の実施の形態】

実施の形態1. 以下、この発明の第1の実施の形態を図について説明する。まず図2、図3を用いて、IGBT素子をオン状態からオフ状態に移させる際にIGBT素子に流れる電流の変化が緩慢な第1の期間からそれに続く電流の変化が急峻な第2の期間に移移する時の電流の減少開始点について説明する。図2はスイッチング回路の一例であり、図3は図2のスイッチング回路におけるIGBT素子1の電圧、電流の波形図である。図2において、9はゲート抵抗、15は直流電圧源、16は負荷、17は逆流ダイオード、18は配線インダクタンスである。1から5については図18の従来の技術による半導体素子

の駆動回路と同じであるため説明は省略する。スイッチング信号発生手段4がオン信号を出力すると、オンオフ切り換え手段5はオン用直流電圧源2に切り換えられ、IGBT素子1のゲートにゲート抵抗9を介してオン電圧が印加され、IGBT素子1はオンする。IGBT素子1がオンすると、直流電圧源15の電圧 $V_{dc}$ が負荷16に印加され、直流電圧源15-配線インダクタンス18-負荷16-IGBT素子1-直流電圧源15の経路で電流が流れる。この時のIGBT素子1の電圧、電流を図3では時刻0の点で表している。時刻0においてIGBT素子1はオンしているため、コレクター-エミッタ間電圧 $V_{ce}$ は0であり、コレクタ電流 $I_c$ は負荷16の電流 $I_L$ と等しい。IGBT素子1のゲート-エミッタ間はコンデンサであるため、オン時間が十分長ければゲート-エミッタ間電圧 $V_{ge}$ はオン用直流電圧源2の電圧まで充電されており、ゲート電流 $I_g$ は0となる。次いで、時刻 $t_1$ においてスイッチング信号発生手段4がオフ信号を出力すると、オンオフ切り換え手段5はオフ用直流電圧源3に切り換えられ、IGBT素子1のゲートにゲート抵抗9を介してオフ電圧が印加される。図3は、オフ用直流電圧源3を0としているため、ゲート-エミッタ間電圧 $V_{ge}$ は0に向かって(ゲート抵抗9×IGBT素子1のゲート-エミッタ間コンデンサ)の時定数で減少を開始する。しかし、通常はオン用直流電圧源2は負荷電流 $I_L$ を流すために必要とされるオン電圧に対して十分に高く設定されているため、時刻 $t_2$ においてゲート-エミッタ間電圧 $V_{ge}$ が負荷電流 $I_L$ を流すのに必要とされる最小の電圧 $V_{on}$ に達するまではIGBT素子1の実際のターンオフ動作は行われない。時刻 $t_2$ において、ゲート-エミッタ間電圧 $V_{ge}$ が負荷電流 $I_L$ を流すのに必要とされる電圧 $V_{on}$ に達すると、IGBT素子1はターンオフ動作を開始し、コレクター-エミッタ間電圧 $V_{ce}$ が増加する。この時、負荷16に印加される電圧は直流電圧源15の電圧 $V_{dc}$ からコレクター-エミッタ間電圧 $V_{ce}$ を減算した電圧となるが、インダクタンス負荷であるため負荷16を流れる電流 $I_L$ は急変しない。このため、コレクタ電流 $I_c$ も急変せず、コレクタ電流 $I_c$ は電流の変化が緩慢な第1の期間を形成する。この第1の期間においては、コレクタ電流 $I_c$ を変化させないようにゲート-エミッタ間電圧 $V_{ge}$ を負荷電流 $I_L$ を流すのに必要とされる電圧 $V_{on}$ に保とうとするフィードバック作用が働き、ゲート-エミッタ間電圧 $V_{ge}$ はほぼ一定の電圧となる。このフィードバック作用は、コレクター-エミッタ間電圧 $V_{ce}$ の増加によりIGBT素子1のコレクター-ゲート間コンデンサを介してコレクタからゲートに変位電流が流れ、この変位電流がゲート抵抗9で電圧降下を生じることにより実現される。この変位電流はゲート電流に他ならないため、ゲート電流 $I_g$ もほぼ一定の電流となる。時刻 $t_3$ において、コレクター-エミッタ間電圧 $V_{ce}$ が直流電圧源15の電圧 $V_{dc}$

に達すると逆流ダイオード17がオンして、負荷16を流れる電流が逆流ダイオード17に転流を開始する。逆流ダイオード17に転流した電流 $I_d$ の分だけコレクタ電流 $I_c$ は減少するため、コレクタ電流 $I_c$ は電流の変化が急峻な第2の期間を形成する。この第2の期間においては、上記のゲート-エミッタ間電圧 $V_{ge}$ を一定に保とうとするフィードバック作用は失われ、ゲート-エミッタ間電圧 $V_{ge}$ は再び0に向かって減少を開始する。従って、ゲート-エミッタ間電圧 $V_{ge}$ とゲート抵抗9で決まるゲート電流 $I_g$ も減少する。また、コレクタ電流 $I_c$ は配線インダクタンス18に流れる電流と等しいので、この第2の期間において配線インダクタンス18に流れる電流も減少する。このため、配線インダクタンス18は(配線インダクタンス×電流減少率)で表される電圧を発生する。この電圧は直流電圧源15と同極性であるため、コレクター-エミッタ間電圧 $V_{ce}$ には、直流電圧源15に配線インダクタンス18が発生する電圧サージが重畳された波形となる。時刻 $t_4$ において、ゲート-エミッタ間電圧 $V_{ge}$ がIGBT素子1の閾値 $V_{th}$ に達するとコレクタ電流 $I_c$ は0となり、IGBT素子1はターンオフ動作を完了する。時刻 $t_4$ 以降において実際のターンオフ動作は完了しているが、ゲート-エミッタ間電圧 $V_{ge}$ はまだ0に達していないため、引き続き0に向かって減少を続ける。時刻 $t_5$ においてゲート-エミッタ間電圧 $V_{ge}$ が0に達して、全ての動作を完了する。以上のIGBT素子1のターンオフ動作において、本発明では電流減少開始点をコレクタ電流 $I_c$ の変化が緩慢な第1の期間( $t_2$ から $t_3$ )と、それに引き続いて発生するコレクタ電流 $I_c$ の変化が急峻な第2の期間( $t_3$ から $t_4$ )との境界、すなわち時刻 $t_3$ の時点と定義する。別の定義をすれば、電流減少開始点は、コレクタ電流 $I_c$ の2次微係数が最大となる時刻にほぼ等しい。

【0019】次に、この発明の実施の形態1の構成を図1について説明する。図1において、12は第1の駆動手段、13は第2の駆動手段であり、第1の駆動手段12よりも第2の駆動手段13の方が低速でIGBT素子1を駆動する。11は第1の駆動手段12の出力と第2の駆動手段13の出力とを切り換えてIGBT素子1のゲートに供給する切り換え手段、14はIGBT素子1をオン状態からオフ状態に移させる際にIGBT素子1に流れる電流の変化が緩慢な第1の期間からそれに続く電流の変化が急峻な第2の期間に移る時の電流の減少開始点を検出する電流減少開始点検出手段である。1および4については図18の従来の技術による半導体素子の駆動回路と同じであるため、説明は省略する。2a、2bはIGBT素子1をオンするための電圧を供給する第1および第2のオン用直流電圧源、3a、3bはIGBT素子1をオフするための電圧を供給する第1および第2のオフ用直流電圧源、5a、5bはスイッチング信号発生手段4の出力により第1および第2のオン用直流電圧源2a、2

bと第1および第2のオフ用直流電圧源3a、3bとをそれぞれ切り換えてIGBT素子1のゲートに電圧を印加する第1および第2のオンオフ切り換え手段、9は第1のゲート抵抗、10は第2のゲート抵抗で、第1のゲート抵抗9よりも第2のゲート抵抗10の方が大きい抵抗値を持つ。

【0020】次に、図1、図4を用いて動作について説明する。図4は、IGBT素子1の導通電流であるコレクタ電流Icと、IGBT素子1のコレクターエミッタ間電圧Vceと、IGBT素子1のスイッチング損失Pとを示しており、図4(a)はゲート抵抗が小さい場合すなわち第1の駆動手段12によりIGBT素子1を駆動した場合を、図4(b)はゲート抵抗が大きい場合すなわち第2の駆動手段13によりIGBT素子1を駆動した場合を、図4(c)は本発明を適用した場合をそれぞれ示している。スイッチング信号発生手段4がオン信号を出力すると、第1および第2のオンオフ切り換え手段5a、5bは第1および第2のオン用直流電圧源2a、2bにそれぞれ切り換えられ、IGBT素子1のゲートに第1のゲート抵抗9または第2のゲート抵抗10を介してオン電圧が印加され、IGBT素子1はオンする。次いで、スイッチング信号発生手段4がオフ信号を出力すると、第1および第2のオンオフ切り換え手段5a、5bは第1および第2のオフ用直流電圧源3a、3bにそれぞれ切り換えられ、IGBT素子1のゲートに第1のゲート抵抗9または第2のゲート抵抗10を介してオフ電圧が印加され、IGBT素子1はオフする。この際、コレクタ電流Icの変化が緩慢な第1の期間においては、電流減少開始点検出手段14の出力により切り換え手段11が第1の駆動手段12に切り換えられ、図4(a)に示したゲート抵抗が小さい状態でIGBT素子1が駆動される。また、コレクタ電流Icの変化が急峻な第2の期間においては、電流減少開始点検出手段14の出力により切り換え手段11が第2の駆動手段13に切り換えられ、図4(b)に示したゲート抵抗が大きい状態でIGBT素子1が駆動される。この結果、図4(c)に示したように、電流減少開始点以前においては図4(a)と等価な電圧、電流波形が得られ、電流減少開始点以後においては図4(b)と等価な電圧、電流波形が得られる。従って、本発明における半導体素子の駆動回路によれば、電圧サージに関係しない第1の期間においてはIGBT素子1を高速で駆動してスイッチング損失Pを低減し、かつ、電圧サージに関係する第2の期間においてはIGBT素子1を低速で駆動して電圧サージを抑制することができる。

【0021】実施の形態2。この発明の第2の実施の形態の構成を図5に示す。図5において、6はゲート抵抗切り換え手段、9は第1のゲート抵抗、10は第2のゲート抵抗で、第1のゲート抵抗9よりも第2のゲート抵抗10の方が大きい抵抗値を持つ。9aは並列接続により第

1のゲート抵抗9と等価な抵抗値を得るための抵抗、10aは直列接続により第2のゲート抵抗10と等価な抵抗値を得るための抵抗。その他の要素については、図18の従来の技術による半導体素子の駆動回路、または、図1の実施の形態1と同じであるため説明は省略する。

【0022】次に、図5(a)を用いて動作について説明する。スイッチング信号発生手段4がオン信号を出力すると、オンオフ切り換え手段5はオン用直流電圧源2に切り換えられ、IGBT素子1のゲートに第1のゲート抵抗9または第2のゲート抵抗10を介してオン電圧が印加され、IGBT素子1はオンする。次いで、スイッチング信号発生手段4がオフ信号を出力すると、オンオフ切り換え手段5はオフ用直流電圧源3に切り換えられ、IGBT素子1のゲートに第1のゲート抵抗9または第2のゲート抵抗10を介してオフ電圧が印加され、IGBT素子1はオフする。この際、まずコレクタ電流Icの変化が緩慢な第1の期間においては、電流減少開始点検出手段14の出力によりゲート抵抗切り換え手段6の切り換え手段11が第1のゲート抵抗9に切り換えられ、ゲート抵抗が小さい状態でIGBT素子1が駆動される。次いで、コレクタ電流Icの変化が急峻な第2の期間においては、電流減少開始点検出手段14の出力により切り換え手段11が第2のゲート抵抗10に切り換えられ、ゲート抵抗が大きい状態でIGBT素子1が駆動される。この結果、電圧サージに関係しない第1の期間においてはIGBT素子1を高速で駆動してスイッチング損失Pを低減し、かつ、電圧サージに関係する第2の期間においてはIGBT素子1を低速で駆動して電圧サージを抑制することができる。

【0023】次に、図5(b)を用いて動作について説明する。ゲート抵抗切り換え手段6以外の動作に関しては、図5(a)と同じであるため説明を省略する。IGBT素子1のターンオフの際、まずコレクタ電流Icの変化が緩慢な第1の期間においては、電流減少開始点検出手段14の出力により切り換え手段11を短絡状態にし、抵抗9aと第2のゲート抵抗10の合成抵抗をゲート抵抗として使用する。抵抗9aと第2のゲート抵抗10は並列接続されるため、合成抵抗は第2のゲート抵抗10よりも小さくなる。この時、抵抗9aは、抵抗9aと第2のゲート抵抗10の合成抵抗が図5(a)の第1のゲート抵抗9と等しい抵抗値と成るように選択する。この動作により第1の期間においては、ゲート抵抗が小さい状態でIGBT素子1が駆動される。次いで、コレクタ電流Icの変化が急峻な第2の期間においては、電流減少開始点検出手段14の出力により切り換え手段11を開放状態にし、第2のゲート抵抗10のみをゲート抵抗として使用する。この動作により第2の期間においては、ゲート抵抗が大きい状態でIGBT素子1が駆動される。この結果、電圧サージに関係しない第1の期間においてはIGBT素子1を高速で駆動してスイッチング損失Pを低減

し、かつ、電圧サージに関係する第2の期間においてはIGBT素子1を低速で駆動して電圧サージを抑制することができる。

【0024】次に、図5(c)を用いて動作について説明する。ゲート抵抗切り換え手段6以外の動作に関しては、図5(a)と同じであるため説明を省略する。IGBT素子1のターンオフの際、まずコレクタ電流I<sub>c</sub>の変化が緩慢な第1の期間においては、電流減少開始点検出手段14の出力により切り換え手段11を短絡状態にし、第1のゲート抵抗9をゲート抵抗として使用する。この動作により第1の期間においては、ゲート抵抗が小さい状態でIGBT素子1が駆動される。次いで、コレクタ電流I<sub>c</sub>の変化が急峻な第2の期間においては、電流減少開始点検出手段14の出力により切り換え手段11を開放状態にし、第1のゲート抵抗9と抵抗10aの合成抵抗をゲート抵抗として使用する。第1のゲート抵抗9と抵抗10aは直列接続されるため、合成抵抗は第1のゲート抵抗9よりも大きくなる。この時、抵抗10aは、第1のゲート抵抗9と抵抗10aの合成抵抗が図5(a)の第2のゲート抵抗10と等しい抵抗値と成るように選択する。この動作により第2の期間においては、ゲート抵抗が大きい状態でIGBT素子1が駆動される。この結果、電圧サージに関係しない第1の期間においてはIGBT素子1を高速で駆動してスイッチング損失Pを低減し、かつ、電圧サージに関係する第2の期間においてはIGBT素子1を低速で駆動して電圧サージを抑制することができる。

【0025】実施の形態3。この発明の第3の実施の形態の構成を図6に示す。図6において、3aは第1のオフ用直流電圧源、3bは第2のオフ用直流電圧源で、第1のオフ用直流電圧源3aよりも第2のオフ用直流電圧源3bの方がIGBT素子1のゲートに小さい負電圧を印加できるように電圧値が設定されている。3cは直列接続により第2のオフ用直流電圧源3bと等価な電圧値を得るための直流電圧源、9はゲート抵抗、19はダイオードである。その他の要素については、図18の従来の技術による半導体素子の駆動回路、または、図1の実施の形態1と同じであるため説明は省略する。

【0026】次に、図6(a)を用いて動作について説明する。スイッチング信号発生手段4がオン信号を出力すると、オンオフ切り換え手段5はオン用直流電圧源2に切り換えられ、IGBT素子1のゲートにゲート抵抗9を介してオン電圧が印加され、IGBT素子1はオンする。次いで、スイッチング信号発生手段4がオフ信号を出力すると、オンオフ切り換え手段5は第1のオフ用直流電圧源3aまたは第2のオフ用直流電圧源3bに切り換えられ、IGBT素子1のゲートにゲート抵抗9を介してオフ電圧が印加され、IGBT素子1はオフする。この際、まずコレクタ電流I<sub>c</sub>の変化が緩慢な第1の期間においては、電流減少開始点検出手段14の出力に

より切り換え手段11が第1のオフ用直流電圧源3aに切り換えられ、オフ電圧が大きい状態でIGBT素子1が駆動される。次いで、コレクタ電流I<sub>c</sub>の変化が急峻な第2の期間においては、電流減少開始点検出手段14の出力により切り換え手段11が第2のオフ用直流電圧源3bに切り換えられ、オフ電圧が小さい状態でIGBT素子1が駆動される。IGBT素子1のゲート-エミッタ間はコンデンサであるため、同じゲート抵抗で駆動した場合、オフ電圧が小さい方がゲート-エミッタ間電圧の減少率は小さくなり、ゲート抵抗を大きくしたのと同様の効果が得られる。この結果、電圧サージに関係しない第1の期間においてはIGBT素子1を高速で駆動してスイッチング損失Pを低減し、かつ、電圧サージに関係する第2の期間においてはIGBT素子1を低速で駆動して電圧サージを抑制することができる。

【0027】次に、図6(b)を用いて動作について説明する。第1および第2のオフ用直流電圧源3a、3bの切り換え以外の動作に関しては、図6(a)と同じであるため説明を省略する。IGBT素子1のターンオフの際、まずコレクタ電流I<sub>c</sub>の変化が緩慢な第1の期間においては、電流減少開始点検出手段14の出力により切り換え手段11を短絡状態にする。第1のオフ用直流電圧源3aの方が第2のオフ用直流電圧源3bよりもゲートに大きい負電圧を印加できるように電圧値が設定されているため、ダイオード19に逆電圧が印加されオフ状態となるので、第1のオフ用直流電圧源3aのみがゲート抵抗9を介してIGBT素子1のゲートに印加される。この動作により第1の期間においては、オフ電圧が大きい状態でIGBT素子1が駆動される。次いで、コレクタ電流I<sub>c</sub>の変化が急峻な第2の期間においては、電流減少開始点検出手段14の出力により切り換え手段11を開放状態にし、第2のオフ用直流電圧源3bのみを使用する。この動作により第2の期間においては、オフ電圧が小さい状態でIGBT素子1が駆動される。この結果、電圧サージに関係しない第1の期間においてはIGBT素子1を高速で駆動してスイッチング損失Pを低減し、かつ、電圧サージに関係する第2の期間においてはIGBT素子1を低速で駆動して電圧サージを抑制することができる。

【0028】次に、図6(c)を用いて動作について説明する。第1および第2のオフ用直流電圧源3a、3bの切り換え以外の動作に関しては、図6(a)と同じであるため説明を省略する。IGBT素子1のターンオフの際、まずコレクタ電流I<sub>c</sub>の変化が緩慢な第1の期間においては、電流減少開始点検出手段14の出力により切り換え手段11を短絡状態にし、第1のオフ用直流電圧源3aのみをゲート抵抗9を介してIGBT素子1のゲートに印加する。この時、ダイオード19には直流電圧源3cの電圧が逆電圧として印加されオフ状態となるため、切り換え手段11に不要な電流が流れることは無い。こ



の動作により第1の期間においては、オフ電圧が低い状態でIGBT素子1が駆動される。次いで、コレクタ電流 $I_c$ の変化が急峻な第2の期間においては、電流減少開始点検出手段14の出力により切り換え手段11を開放状態にし、第1のオフ用直流電圧源3aと直流電圧源3cの和の電圧をゲート抵抗9を介してIGBT素子1のゲートに印加する。第1のオフ用直流電圧源3aと直流電圧源3cは逆直列接続されるため、和の電圧は第1のオフ用直流電圧源3aよりも小さな負電圧となる。この時、直流電圧源3cは第1のオフ用直流電圧源3aと直流電圧源3cの和の電圧が図6(a)の第2のオフ用直流電圧源3bと等しい電圧値となるように選択する。この動作により第2の期間においては、オフ電圧が小さい状態でIGBT素子1が駆動される。この結果、電圧サージに関係しない第1の期間においてはIGBT素子1を高速で駆動してスイッチング損失Pを低減し、かつ、電圧サージに関係する第2の期間においてはIGBT素子1を低速で駆動して電圧サージを抑制することができる。

【0029】実施の形態4、この発明の第4の実施の形態の構成を図7に示す。図7において、19はダイオード、20はオン用直流電流源、21は第1のオフ用直流電流源、22は第2のオフ用直流電流源で、第1のオフ用直流電流源21よりも第2のオフ用直流電流源22の力が小さい電流値を持つ。21aは並列接続により第1のオフ用直流電流源21と等価な電流値を得るための直流電流源である。その他の要素については、図18の従来の技術による半導体素子の駆動回路、または、図1の実施の形態1と同じであるため説明は省略する。

【0030】次に、図7(a)を用いて動作について説明する。スイッチング信号発生手段4がオン信号を出力すると、オンオフ切り換え手段5はオン用直流電流源20に切り換えられ、IGBT素子1のゲートに電流が注入される。IGBT素子1のゲート-エミッタ間電圧 $V_{ge}$ は増加し、IGBT素子1はオンする。次いで、スイッチング信号発生手段4がオフ信号を出力すると、オンオフ切り換え手段5は第1のオフ用直流電流源21または第2のオフ用直流電流源22に切り換えられ、IGBT素子1のゲートから電流が引き出される。IGBT素子1のゲート-エミッタ間電圧 $V_{ge}$ は減少し、IGBT素子1はオフする。この際、まずコレクタ電流 $I_c$ の変化が緩慢な第1の期間においては、電流減少開始点検出手段14の出力により切り換え手段11が第1のオフ用直流電流源21に切り換えられ、引き出し電流が大きい状態でIGBT素子1が駆動される。次いで、コレクタ電流 $I_c$ の変化が急峻な第2の期間においては、電流減少開始点検出手段14の出力により切り換え手段11が第2のオフ用直流電流源22に切り換えられ、引き出し電流が小さい状態でIGBT素子

1が駆動される。IGBT素子1のゲート-エミッタ間電圧はコンデンサであるため、引き出し電流が小さい方がゲート-エミッタ間電圧の減少率は小さくなり、ゲート抵抗を大きくしたのと同様の効果が得られる。この結果、電圧サージに関係しない第1の期間においてはIGBT素子1を高速で駆動してスイッチング損失Pを低減し、かつ、電圧サージに関係する第2の期間においてはIGBT素子1を低速で駆動して電圧サージを抑制することができる。

【0031】次に、図7(b)を用いて動作について説明する。第1および第2のオフ用直流電流源21、22の切り換え以外の動作に関しては、図7(a)と同じであるため説明を省略する。IGBT素子1のターンオフの際、まずコレクタ電流 $I_c$ の変化が緩慢な第1の期間においては、電流減少開始点検出手段14の出力により切り換え手段11を短絡状態にし、直流電流源21aと第2のオフ用直流電流源22の和の電流をIGBT素子1のゲートから引き出す。直流電流源21aと第2のオフ用直流電流源22は並列接続されるため、和の電流は第2のオフ用直流電流源22よりも大きくなる。この時、直流電流源21aは、直流電流源21aと第2のオフ用直流電流源22の和の電流が図7(a)の第1の直流電流源21と等しい電流値と成るように選択する。この動作により第1の期間においては、引き出し電流が大きい状態でIGBT素子1が駆動される。次いで、コレクタ電流 $I_c$ の変化が急峻な第2の期間においては、電流減少開始点検出手段14の出力により切り換え手段11を開放状態にし、第2のオフ用直流電流源22のみを使用する。この動作により第2の期間においては、引き出し電流が小さい状態でIGBT素子1が駆動される。この結果、電圧サージに関係しない第1の期間においてはIGBT素子1を高速で駆動してスイッチング損失Pを低減し、かつ、電圧サージに関係する第2の期間においてはIGBT素子1を低速で駆動して電圧サージを抑制することができる。

【0032】次に、図7(c)を用いて動作について説明する。第1および第2のオフ用直流電流源21、22の切り換え以外の動作に関しては、図7(a)と同じであるため説明を省略する。IGBT素子1のターンオフの際、まずコレクタ電流 $I_c$ の変化が緩慢な第1の期間においては、電流減少開始点検出手段14の出力により切り換え手段11を短絡状態にし、第1のオフ用直流電流源21のみでIGBT素子1のゲートから電流引き出す。この時、ダイオード19にはIGBT素子1のゲート-エミッタ間電圧 $V_{ge}$ が逆電圧として印加されオフ状態となるため、第1のオフ用直流電流源21の電流がダイオード19に流れることは無い。この動作により第1の期間においては、引き出し電流が大きい状態でIGBT素子1が駆動される。次いで、コレクタ電流 $I_c$ の変化が急峻な第2の期間においては、電流減少開始点検出手段14の出力により切り換え手段11を開放状態にする。第1のオフ用

直流電圧源21よりも第2の直流電圧源22の電流の方が小さいため、差の電流はダイオード19を流れ、IGBT素子1のゲートからは第2の直流電圧源22の電流が引き出される。この動作により第2の期間においては、引き出し電流が小さい状態でIGBT素子1が駆動される。この結果、電圧サージに関係しない第1の期間においてはIGBT素子1を高速で駆動してスイッチング損失Pを低減し、かつ、電圧サージに関係する第2の期間においてはIGBT素子1を低速で駆動して電圧サージを抑制することができる。

【0033】実施の形態5、この発明の第5の実施の形態の構成を図8に示す。図8において、9はゲート抵抗、23はコンデンサ、30はコンデンサ23の電圧をIGBT素子1のゲート-エミッタ間電圧 $V_{ge}$ と等しく保つための電圧調整手段である。その他の要素については、図18の従来の技術による半導体素子の駆動回路、または、図1の実施の形態1と同じであるため説明は省略する。

【0034】次に、図8(a)を用いて動作について説明する。スイッチング信号発生手段4がオン信号を出力すると、オンオフ切り換え手段5はオン用直流電圧源2に切り換えられ、IGBT素子1のゲートにゲート抵抗9を介してオン電圧が印加され、IGBT素子1はオンする。次いで、スイッチング信号発生手段4がオフ信号を出力すると、オンオフ切り換え手段5はオフ用直流電圧源3に切り換えられ、IGBT素子1のゲートにゲート抵抗9を介してオフ電圧が印加され、IGBT素子1はオフする。この際、まずコレクタ電流 $I_c$ の変化が緩慢な第1の期間においては、電流減少開始点検出手段14の出力により切り換え手段11が開放状態となり、IGBT素子1のゲート-エミッタ間にはIGBT素子1のゲート-エミッタ間コンデンサのみが存在する状態でIGBT素子1が駆動される。次いで、コレクタ電流 $I_c$ の変化が急峻な第2の期間においては、電流減少開始点検出手段14の出力により切り換え手段11が短絡状態となり、IGBT素子1のゲート-エミッタ間にコンデンサ23が並列に接続される。この時、コンデンサ23の電圧は電圧調整手段30によってIGBT素子1のゲート-エミッタ間電圧 $V_{ge}$ と等しく保たれているため、ゲート-エミッタ間電圧 $V_{ge}$ に不要な変動を生じることなく切り換え手段11の動作が行われる。この動作により、IGBT素子1のゲート-エミッタ間のコンデンサが増加した状態でIGBT素子1が駆動される。IGBT素子1のゲート-エミッタ間はコンデンサであるため、同じゲート抵抗で駆動した場合、IGBT素子1のゲート-エミッタ間のコンデンサが大きい方がゲート-エミッタ間電圧 $V_{ge}$ の減少率は小さくなり、ゲート抵抗を大きくしたのと同様の効果を得られる。この結果、電圧サージに関係しない第1の期間においてはIGBT素子1を高速で駆動してスイッチング損失Pを低減し、かつ、電圧

サージに関係する第2の期間においてはIGBT素子1を低速で駆動して電圧サージを抑制することができる。

【0035】図8(b)、(c)は電圧調整手段30の構成例を示したものである。図8(b)においては電圧バッファ30aを用いて、図8(c)においては抵抗30bを用いて、電圧調整手段30を構成している。動作は明確であるため詳細な説明は省略する。

【0036】実施の形態6、この発明の第6の実施の形態における電流減少開始点検出手段14の構成を図9に示す。図9において、25は電圧検出手段、26は基準電圧源、27は比較手段である。その他の要素については、図18の従来の技術による半導体素子の駆動回路、または、図1の実施の形態1と同じであるため説明は省略する。

【0037】次に、図9(a)、図10を用いて動作について説明する。図10は、IGBT素子1のターンオフ時の電圧、電流波形を示したものであり、本実施の形態ではゲート-エミッタ間電圧 $V_{ge}$ に注目する。ゲート-エミッタ間電圧 $V_{ge}$ の波形については実施の形態1と同じであるため、詳細な説明は省略する。電圧検出手段25は、IGBT素子1のゲート-エミッタ間に接続され図10のゲート-エミッタ間電圧 $V_{ge}$ を検出する。比較手段27は、この電圧検出手段25の出力と基準電圧源26の基準電圧 $V_{ref1}$ を比較して、ゲート-エミッタ間電圧 $V_{ge}$ が基準電圧 $V_{ref1}$ よりも小さい時にH信号を、ゲート-エミッタ間電圧 $V_{ge}$ が基準電圧 $V_{ref1}$ よりも大きい時にL信号を出力する。この時、基準電圧 $V_{ref1}$ を負荷電流 $I_L$ を流すのに必要とされる電圧 $V_{on}$ とIGBT素子1の閾値 $V_{th}$ の間に設定すれば、ゲート-エミッタ間電圧 $V_{ge}$ がほぼ一定となる第1の期間を終了し、0に向かって減少を始める第2の期間に入った所で上記の信号がLからHに切り換わる。この動作により、図10の電流減少開始点検出手段の出力

(a)に示した、コレクタ電流 $I_c$ の変化が緩慢な第1の期間においてLであり、それに続くコレクタ電流 $I_c$ の変化が急峻な第2の期間においてHである信号を得ることができる。

【0038】図9(b)、(c)、(d)は電流減少開始点検出手段14の他の構成例を示したものである。図9(b)において、電圧検出手段25は抵抗25aと抵抗25bにより構成されており、IGBT素子1のゲート-エミッタ間電圧 $V_{ge}$ を分圧して検出する。コンパレータ27は、この電圧検出手段25の出力と基準電圧源26の電圧を比較して、ゲート-エミッタ間電圧 $V_{ge}$ が基準電圧 $V_{ref1}$ よりも低くなるのと等価な時にH信号を、ゲート-エミッタ間電圧 $V_{ge}$ が基準電圧 $V_{ref1}$ よりも高くなるのと等価な時にL信号を出力する。図9(c)において、電圧検出手段25は抵抗25aと抵抗25bにより構成されており、IGBT素子1のゲート-エミッタ間電圧 $V_{ge}$ を分圧して検出する。この検出電圧はトランジスタ27のベースに入力される。検出電圧がトランジスタ

タ27のベース-エミッタ間閾値を越え、トランジスタ27はオンするためL信号を出力し、検出電圧がトランジスタ27のベース-エミッタ間閾値を越えなければトランジスタ27はオフするためH信号を出力する。図9(d)において、電圧検出手段25はトランジスタ27のベースをツェナーダイオード26aと抵抗26bを介してIGBT素子1のゲートに接続することにより構成されている。ゲート-エミッタ間電圧 $V_{ge}$ がツェナーダイオード26aのツェナー電圧とトランジスタ27のベース-エミッタ間閾値の和の電圧を越え、トランジスタ27はオンするためL信号を出力し、ゲート-エミッタ間電圧 $V_{ge}$ がツェナーダイオード26aのツェナー電圧とトランジスタ27のベース-エミッタ間閾値の和の電圧を越えなければトランジスタ27はオフするためH信号を出力する。図9(b)、(c)、(d)の動作は図9(a)と基本的には同一であるため詳細な動作の説明は省略する。

【0039】実施の形態7. この発明の第7の実施の形態における電流減少開始点検出手段14の構成を図11に示す。図11において、28は電流検出手段、26は基準電圧源、27は比較手段である。その他の要素については、図18の従来の技術による半導体素子の駆動回路、または、図1の実施の形態1と同じであるため説明は省略する。

【0040】次に、図11(a)、図10を用いて動作について説明する。図10は、IGBT素子1のターンオフ時の電圧、電流波形を示したものであり、本実施の形態ではゲート電流 $I_g$ に注目する。ゲート電流 $I_g$ (絶対値)の波形については実施の形態1と同じであるため、詳細な説明は省略する。電流検出手段28は、IGBT素子1のゲートに直列に接続され図10のゲート電流 $I_g$ を検出する。比較手段27は、この電流検出手段28の出力と基準電圧源26の基準電圧 $V_{ref2}$ を比較して、ゲート電流 $I_g$ の検出値が基準電圧 $V_{ref2}$ よりも小さい時にH信号を、ゲート電流 $I_g$ の検出値が基準電圧 $V_{ref2}$ よりも大きい時にL信号を出力する。この時、基準電圧 $V_{ref2}$ を負荷電流 $I_L$ を流すのに必要とされる電圧 $V_{on}$ をゲート抵抗9で除算した電流値と0との間に設定すれば、ゲート電流 $I_g$ がほぼ一定となる第1の期間を終了し、0に向かって減少を始める第2の期間に入った所で上記の信号がLからHに切り換わる。この動作により、図10の電流減少開始点検出手段の出力

(b)に示した、コレクタ電流 $I_c$ の変化が緩やかな第1の期間においてLであり、それに続くコレクタ電流 $I_c$ の変化が急峻な第2の期間においてHである信号を得ることができる。

【0041】図11(b)、(c)は電流減少開始点検出手段14の他の構成例を示したものである。図11(b)において、電流検出手段28は検出抵抗28aと、オペアンプ28bと抵抗28cから28fにより構成される差動アンプにより構成されている。コンパレータ27は、この電流検出手段28の出力と基準電圧源26の電圧を比較して、ゲート

電流 $I_g$ の検出値が基準電圧 $V_{ref2}$ よりも小さい時にH信号を、ゲート電流 $I_g$ の検出値が基準電圧 $V_{ref2}$ よりも大きい時にL信号を出力する。図11(c)において、電流検出手段28は検出抵抗28aにより構成されており、コンパレータ27は、トランジスタ27a、27b、直流電源27c、27d、抵抗27cにより構成されている。コンパレータ27は電流検出抵抗28aの出力と基準電圧源26の電圧を比較し、ゲート電流 $I_g$ の検出値が基準電圧 $V_{ref2}$ よりも小さい時にH信号を、ゲート電流 $I_g$ の検出値が基準電圧 $V_{ref2}$ よりも大きい時にL信号を出力する。図11(b)、(c)の動作は図11(a)と基本的には同一であるため詳細な動作の説明は省略する。

【0042】実施の形態8. この発明の第8の実施の形態における電流減少開始点検出手段14の構成を図12に示す。図12において、25は電圧検出手段、26は基準電圧源、27は比較手段、29は微分手段である。その他の要素については、図18の従来の技術による半導体素子の駆動回路、または、図1の実施の形態1と同じであるため説明は省略する。

【0043】次に、図12(a)、図10を用いて動作について説明する。図10は、IGBT素子1のターンオフ時の電圧、電流波形を示したものであり、本実施の形態ではゲート-エミッタ間電圧 $V_{ge}$ の変化率(絶対値)に注目する。ゲート-エミッタ間電圧 $V_{ge}$ の波形については実施の形態1と同じであるため、詳細な説明は省略する。電圧検出手段25は、IGBT素子1のゲート-エミッタ間に接続され図10のゲート-エミッタ間電圧 $V_{ge}$ を検出する。微分手段29は、この電圧検出手段25の出力を微分して、図10に示した $dV_{ge}/dt$ の波形を得る。比較手段27は、この微分手段29の出力と基準電圧源26の基準電圧 $V_{ref3}$ とを比較して、ゲート-エミッタ間電圧 $V_{ge}$ の微分値 $dV_{ge}/dt$ が基準電圧 $V_{ref3}$ よりも小さい時にL信号を、ゲート-エミッタ間電圧 $V_{ge}$ の微分値 $dV_{ge}/dt$ が基準電圧 $V_{ref3}$ よりも大きい時にH信号を出力する。この時、第1の期間においてはゲート-エミッタ間電圧 $V_{ge}$ がほぼ一定であるため、その微分値 $dV_{ge}/dt$ はほぼ0となる。また、第2の期間においてはゲート抵抗9とIGBT素子1のゲート-エミッタ間コンデンサの容量で決まる時定数 $\tau$ に向かって減少するため、ゲート-エミッタ間電圧 $V_{ge}$ の微分値 $dV_{ge}/dt$ は負の値を持つ。従って、基準電圧 $V_{ref3}$ を適当に設定すれば、ゲート-エミッタ間電圧 $V_{ge}$ がほぼ一定となる第1の期間を終了し、0に向かって減少を始める第2の期間に入った所で上記の信号がLからHに切り換わる。この動作により、図10の電流減少開始点検出手段の出力(c)に示した、コレクタ電流 $I_c$ の変化が緩やかな第1の期間においてLであり、それに続くコレクタ電流 $I_c$ の変化が急峻な第2の期間においてHである信号を得ることができる。

【0044】図12(b)、(c)は電流減少開始点検出手段14の他の構成例を示したものである。図12(b)において、電圧検出手段25は抵抗25aと抵抗25bにより構成されており、IGBT素子1のゲート-エミッタ間電圧 $V_{ge}$ を分圧して検出する。この電圧検出手段25の出力は、オペアンプ29a、コンデンサ29b、抵抗29cからなる微分回路29により微分される。コンパレータ27は、この微分回路29の出力と基準電圧源26の電圧を比較して、ゲート-エミッタ間電圧 $V_{ge}$ の微分値 $dV_{ge}/dt$ が基準電圧 $V_{ref3}$ よりも小さい時にL信号を、ゲート-エミッタ間電圧 $V_{ge}$ が基準電圧 $V_{ref3}$ よりも大きい時にH信号を出力する。図12(c)において、電圧検出手段25は抵抗25aと抵抗26bにより構成されており、IGBT素子1のゲート-エミッタ間電圧 $V_{ge}$ を分圧して検出する。この検出電圧はコンデンサ29dを介してトランジスタ27のベースに入力される。トランジスタ27のベースには電圧源29fから抵抗29eを介してバイアス電流が流されているため、検出電圧の微分値に比例して流れるコンデンサ29dの充放電電流がバイアス電流よりも大きい場合にはトランジスタ27はオフするためH信号を出力し、コンデンサ29dの充放電電流がバイアス電流よりも小さい場合にはトランジスタ27はオンするためL信号を出力する。図12(b)、(c)の動作は図9(a)と基本的には同一であるため詳細な動作の説明は省略する。

【0045】実施の形態9、この発明の第9の実施の形態における電流減少開始点検出手段14の構成を図13に示す。図13において、28は電流検出手段、26は基準電圧源、27は比較手段、29は微分手段である、その他の要素については、図18の従来の技術による半導体素子の駆動回路、または、図1の実施の形態1と同じであるため説明は省略する。

【0046】次に、図13(a)、図10を用いて動作について説明する。図10は、IGBT素子1のターンオフ時の電圧、電流波形を示したものであり、本実施の形態ではゲート電流 $I_g$ の変化率(絶対値)に注目する。ゲート電流 $I_g$ の波形については実施の形態1と同じであるため、詳細な説明は省略する。電流検出手段28は、IGBT素子1のゲートに直列に接続され図10のゲート電流 $I_g$ を検出する。微分手段29は、この電流検出手段28の出力を微分して、図10に示した $dI_g/dt$ の波形を得る。比較手段27は、この微分手段29の出力と基準電圧源26の基準電圧 $V_{ref4}$ を比較して、ゲート電流 $I_g$ の微分値 $dI_g/dt$ が基準電圧 $V_{ref4}$ よりも小さい時にL信号を、ゲート電流 $I_g$ の微分値 $dI_g/dt$ が基準電圧 $V_{ref4}$ よりも大きい時にH信号を出力する。この時、第1の期間においてはゲート電流 $I_g$ がほぼ一定であるため、その微分値 $dI_g/dt$ はほぼ0となる。また、第2の期間においてはゲート抵抗9とIGBT素子1のゲート-エミッタ間コンデンサの容量で決

まる時定数で0に向かって減少するため、ゲート電流 $I_g$ の微分値 $dI_g/dt$ は負の値を持つ。従って、基準電圧 $V_{ref4}$ を適当に設定すれば、ゲート電流 $I_g$ がほぼ一定となる第1の期間を終了し、0に向かって減少を始める第2の期間に入った所で上記の信号がLからHに切り換わる。この動作により、図10の電流減少開始点検出手段の出力(d)に示した、コレクタ電流 $I_c$ の変化が緩慢な第1の期間においてLであり、それに続くコレクタ電流 $I_c$ の変化が急峻な第2の期間においてHである信号を得ることができる。

【0047】図13(b)、(c)は電流減少開始点検出手段14の他の構成例を示したものである。図13(b)において、電流検出手段28は検出抵抗28aと、オペアンプ28bと抵抗28cから28fにより構成される差動アンプにより構成されている。この電流検出手段28の出力は、オペアンプ29a、コンデンサ29b、抵抗29cからなる微分回路29により微分される。コンパレータ27は、この微分回路29の出力と基準電圧源26の電圧を比較して、ゲート電流 $I_g$ の変化率が基準電圧 $V_{ref4}$ よりも小さい時にL信号を、ゲート電流 $I_g$ の変化率が基準電圧 $V_{ref4}$ よりも大きい時にH信号を出力する。図13(c)において、電流検出手段28は検出抵抗28aにより構成されており、コンパレータ27は、トランジスタ27a、27b、直流電源27c、27d、抵抗27eにより構成されている。電流検出抵抗28aの出力はコンデンサ29dを介してトランジスタ27aのベースに接続され、電流検出抵抗28a、抵抗29e、基準電圧源26からなる閉ループを構成するため、トランジスタ27aのベースにゲート電流微分値が入力される。トランジスタ27bのベースは基準電圧源26が接続されているため、検出電圧の微分値が基準電圧 $V_{ref4}$ より大きい場合にはトランジスタ27bはオフするためH信号を出力し、検出電圧の微分値が基準電圧 $V_{ref4}$ よりも小さい場合にはトランジスタ27bはオンするためL信号を出力する。図13(b)、(c)の動作は図13(a)と基本的には同一であるため詳細な動作の説明は省略する。

【0048】実施の形態10、この発明の第10の実施の形態の構成を図14に示す。この実施の形態は、図5

(b)の実施の形態2と図9(b)の実施の形態6を組み合わせたものである。図14において、5a、5bはトランジスタでオンオフ切り換え手段5を構成する。11aはトランジスタ、11bはダイオードで切り換え手段11のスイッチ部分を構成する。11cはトランジスタ、11dは抵抗、11eは電圧源、11fは抵抗で、切り換え手段11のスイッチの駆動部分を構成している。この切り換え手段11のスイッチの駆動部分はロジックの反転回路を構成しており、電流減少開始点検出手段14の出力と切り換え手段11のスイッチ部分の入力とのロジックの整合を行う。その他の要素については、図5(b)の実施の形態2および図9(b)の実施の形態6と同じであるため説明は省

略する。

【0049】次に、動作について説明する。スイッチング信号発生手段4がオン信号を出力すると、トランジスタ5aがオン、トランジスタ5bがオフとなり、IGBT素子1のゲートに第2のゲート抵抗10を介してオン用直流電圧源2の電圧が印加され、IGBT素子1はオンする。次いで、スイッチング信号発生手段4がオフ信号を出力すると、トランジスタ5aがオフ、トランジスタ5bがオンとなり、IGBT素子1のゲートに第2のゲート抵抗10または第2のゲート抵抗10と抵抗9aとの合成抵抗を介してオフ用直流電圧源3の電圧が印加され、IGBT素子1はオフする。この際、まずコレクタ電流Icの変化が緩慢な第1の期間においては、実施の形態6で述べたように、抵抗25aと抵抗25bにより分圧されて検出されたIGBT素子1のゲート-エミッタ間電圧Vgeの検出値は基準電圧源26の電圧よりも大きいため、コンパレータ27はL信号を出力する。このため、トランジスタ11cはオフとなり、電源11eから抵抗11fを介してトランジスタ11aのベースに電流が流されるため、トランジスタ11aはオンする。従って、抵抗9aと第2のゲート抵抗10の合成抵抗がゲート抵抗として使用される。次いで、コレクタ電流Icの変化が急峻な第2の期間においては、実施の形態6で述べたように、抵抗25aと抵抗25bにより分圧されて検出されたIGBT素子1のゲート-エミッタ間電圧Vgeの検出値は基準電圧源26の電圧よりも小さいため、コンパレータ27はH信号を出力する。このため、トランジスタ11cはオンとなり、トランジスタ11aのベースへの電流供給が停止されるため、トランジスタ11aはオフする。従って、第2のゲート抵抗10のみがゲート抵抗として使用される。この結果、電圧サージに関係しない第1の期間においてはIGBT素子1を低ゲート抵抗で高速に駆動してスイッチング損失Pを低減し、かつ、電圧サージに関係する第2の期間においてはIGBT素子1を高ゲート抵抗で低速に駆動して電圧サージを抑制することができる。

【0050】以上、例として実施の形態2と実施の形態6との組み合わせについて説明した。実施の形態1から実施の形態9までの説明から明らかなように、実施の形態1から実施の形態5、および、実施の形態6から実施の形態9はそれぞれ等価な機能を有しているため、実施の形態1から実施の形態5と実施の形態6から実施の形態9との間のいかなる組み合わせにおいても上記の実施の形態2と実施の形態6との組み合わせと同様の動作が可能である。各組み合わせにおける個別の詳細な動作説明は省略する。

【0051】実施の形態11。この発明の第11の実施の形態の構成を図15に示す。図15において、11gはツェナーダイオード、11hはダイオードであるその他の要素については、図14の実施の形態10と同じであるため説明は省略する。

【0052】次に、動作について説明する。スイッチング信号発生手段4がオン信号を出力すると、トランジスタ5aがオン、トランジスタ5bがオフとなり、IGBT素子1のゲートに第2のゲート抵抗10を介してオン用直流電圧源2の電圧が印加され、IGBT素子1はオンする。次いで、スイッチング信号発生手段4がオフ信号を出力すると、トランジスタ5aがオフ、トランジスタ5bがオンとなり、IGBT素子1のゲートに第2のゲート抵抗10または第2のゲート抵抗10と抵抗9aとの合成抵抗を介してオフ用直流電圧源3の電圧が印加され、IGBT素子1はオフする。この際、まずコレクタ電流Icの変化が緩慢な第1の期間においては、実施の形態6で述べたように、IGBT素子1のゲート-エミッタ間電圧Vgeがツェナーダイオード11gのツェナー電圧を超えるようにツェナー電圧を設定する。この時、ツェナーダイオード11gはオンし、抵抗9aと第2のゲート抵抗10の合成抵抗がゲート抵抗として使用される。次いで、コレクタ電流Icの変化が急峻な第2の期間においては、実施の形態6で述べたように、IGBT素子1のゲート-エミッタ間電圧Vgeがツェナーダイオード11gのツェナー電圧を超えないため、ツェナーダイオード11gはオフする。従って、第2のゲート抵抗10のみがゲート抵抗として使用される。この結果、電圧サージに関係しない第1の期間においてはIGBT素子1を低ゲート抵抗で高速に駆動してスイッチング損失Pを低減し、かつ、電圧サージに関係する第2の期間においてはIGBT素子1を高ゲート抵抗で低速に駆動して電圧サージを抑制することができる。

【0053】実施の形態12。この発明の第12の実施の形態の構成を図16に示す。図16において、9は第1のゲート抵抗、10aは直列接続により第2のゲート抵抗10と等価な抵抗値を得るための抵抗である。その他の要素については、図11(d)の実施の形態7および図14の実施の形態10と同じであるため説明は省略する。

【0054】次に、動作について説明する。スイッチング信号発生手段4がオン信号を出力すると、トランジスタ5aがオン、トランジスタ5bがオフとなり、IGBT素子1のゲートに第1のゲート抵抗9と抵抗10aの合成抵抗を介してオン用直流電圧源2の電圧が印加され、IGBT素子1はオンする。次いで、スイッチング信号発生手段4がオフ信号を出力すると、トランジスタ5aがオフ、トランジスタ5bがオンとなり、IGBT素子1のゲートに第1のゲート抵抗9または第1のゲート抵抗9と抵抗10aの合成抵抗を介してオフ用直流電圧源3の電圧が印加され、IGBT素子1はオフする。この際、まずコレクタ電流Icの変化が緩慢な第1の期間においては、実施の形態7で述べたように、IGBT素子1のゲート電流Igが電流検出を兼ねる抵抗10aで生じる電圧降下がツェナーダイオード26aのツェナー電圧を超えるようにツェナー電圧を設定する。この時、ツェナ

ーダイオード26aはオンするため、トランジスタ27もオンし、第1のゲート抵抗9のみがゲート抵抗として使用される。次いで、コレクタ電流I<sub>c</sub>の変化が急峻な第2の期間においては、実施の形態7で述べたように、IGBT素子1のゲート電流I<sub>g</sub>が電流検出を兼ねる抵抗10aで生じる電圧降下がツェナーダイオード26aのツェナー電圧を越えないため、ツェナーダイオード26aはオフする。従って、トランジスタ27もオフし、第1のゲート抵抗9と抵抗10aの直列合成抵抗がゲート抵抗として使用される。この結果、電圧サージに関係しない第1の期間においてはIGBT素子1を低ゲート抵抗で高速に駆動してスイッチング損失Pを低減し、かつ、電圧サージに関係する第2の期間においてはIGBT素子1を高ゲート抵抗で低速に駆動して電圧サージを抑制することができる。

【0055】実施の形態13. この発明の第13の実施の形態の構成を図17に示す。図17において、27aはトランジスタ、27bはダイオードである。その他の要素については、図11(d)の実施の形態7および図16の実施の形態12と同じであるため説明は省略する。

【0056】次に、動作について説明する。スイッチング信号発生手段4がオン信号を出力すると、トランジスタ5aがオン、トランジスタ5bがオフとなり、IGBT素子1のゲートに第1のゲート抵抗9と抵抗10aと電流検出抵抗28aの合成抵抗を介してオン用直流電圧源2の電圧が印加され、IGBT素子1はオンする。次いで、スイッチング信号発生手段4がオフ信号を出力すると、トランジスタ5aがオフ、トランジスタ5bがオンとなり、IGBT素子1のゲートに第1のゲート抵抗9または第1のゲート抵抗9と抵抗10aと電流検出抵抗28aの合成抵抗を介してオフ用直流電圧源3の電圧が印加され、IGBT素子1はオフする。この際、まずコレクタ電流I<sub>c</sub>の変化が緩慢な第1の期間においては、実施の形態7で述べたように、IGBT素子1のゲート電流I<sub>g</sub>が電流検出抵抗28aで生じる電圧降下がトランジスタ27aのベース-エミッタ間の閾値電圧とダイオード27bの順方向電圧の和の電圧を越えるように電流検出抵抗28aを設定する。この時、トランジスタ27aはオンし、第1のゲート抵抗9のみがゲート抵抗として使用される。次いで、コレクタ電流I<sub>c</sub>の変化が急峻な第2の期間においては、実施の形態7で述べたように、IGBT素子1のゲート電流I<sub>g</sub>が電流検出抵抗28aで生じる電圧降下がトランジスタ27aのベース-エミッタ間閾値電圧とダイオード27bの順方向電圧の和の電圧を越えないため、トランジスタ27aはオフする。従って、第1のゲート抵抗9と抵抗10aと電流検出抵抗28aの合成抵抗がゲート抵抗として使用される。この結果、電圧サージに関係しない第1の期間においてはIGBT素子1を低ゲート抵抗で高速に駆動してスイッチング損失Pを低減し、かつ、電圧サージに関係する第2の期間においては

IGBT素子1を高ゲート抵抗で低速に駆動して電圧サージを抑制することができる。

【0057】

【発明の効果】以上のように、本発明によれば、制御電極に印加する電圧によって主電極間の導通状態を制御する絶縁ゲート形自己消弧素子の制御電極に接続される駆動回路において、前記絶縁ゲート形自己消弧素子を駆動する第1の駆動手段と、前記第1の駆動手段よりも低速で前記絶縁ゲート形自己消弧素子を駆動する第2の駆動手段と、前記第1の駆動手段と前記第2の駆動手段に信号を供給するスイッチング信号発生手段と、前記第1の駆動手段の出力と前記第2の駆動手段の出力とを切り換えて前記制御電極に供給する切り換え手段と、前記制御電極の電圧を低下させ前記主電極間を導通状態から非導通状態に移させる際に前記主電極に流れる電流の変化が緩慢な第1の期間からそれに続く電流の変化が急峻な第2の期間に移移する時の電流の減少開始点を検出する電流減少開始点検出手段とを有し、前記電流減少開始点検出手段の出力により、前記第1の期間において前記第1の駆動手段を用い、前記第2の期間において前記第2の駆動手段を用いるように前記切り換え手段を動作させるようにしたので、電圧サージに関係しない第1の期間においてはIGBT素子1を高速で駆動してスイッチング損失Pを低減し、かつ、電圧サージに関係する第2の期間においてはIGBT素子1を低速で駆動して電圧サージを抑制することができる。このため、電圧サージの低減とスイッチング損失の低減が両立可能である。また、この動作はIGBT素子1の特性に依存しないため、全てのIGBT素子に適用可能である。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体素子の駆動回路を示す構成図である。

【図2】 この発明における電流減少開始点検出手段の動作を説明する構成図である。

【図3】 この発明における電流減少開始点検出手段の動作を説明する波形図である。

【図4】 この発明の実施の形態1による半導体素子の駆動回路の動作を説明する波形図である。

【図5】 この発明の実施の形態2による半導体素子の駆動回路を示す構成図である。

【図6】 この発明の実施の形態3による半導体素子の駆動回路を示す構成図である。

【図7】 この発明の実施の形態4による半導体素子の駆動回路を示す構成図である。

【図8】 この発明の実施の形態5による半導体素子の駆動回路を示す構成図である。

【図9】 この発明の実施の形態6による電流減少開始点検出手段を示す構成図である。

【図10】 この発明の実施の形態6から9による電流減少開始点検出手段の動作を説明する波形図である。

【図11】 この発明の実施の形態7による電流減少開始点検出手段を示す構成図である。

【図12】 この発明の実施の形態8による電流減少開始点検出手段を示す構成図である。

【図13】 この発明の実施の形態9による電流減少開始点検出手段を示す構成図である。

【図14】 この発明の実施の形態10による半導体素子の駆動回路を示す構成図である。

【図15】 この発明の実施の形態11による半導体素子の駆動回路を示す構成図である。

【図16】 この発明の実施の形態12による半導体素子の駆動回路を示す構成図である。

【図17】 この発明の実施の形態13による半導体素子の駆動回路を示す構成図である。

【図18】 従来の技術による半導体素子の駆動回路を示す構成図である。

【図19】 従来の技術による半導体素子の駆動回路の

制御手段の動作を示すフローチャートである。

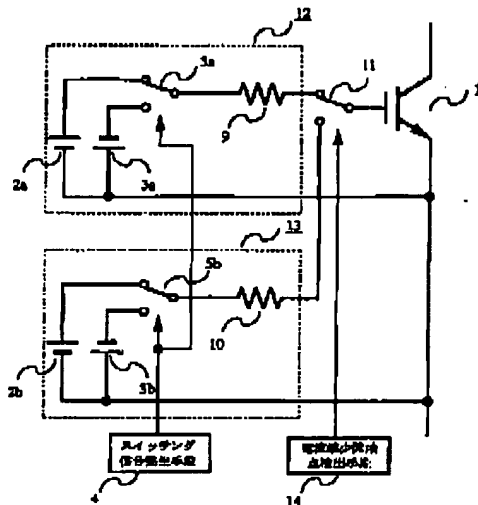
【図20】 従来の技術による半導体素子の駆動回路の動作を示す波形図である。

【図21】 IGBT素子のスイッチング特性を示す説明図である。

【符号の説明】

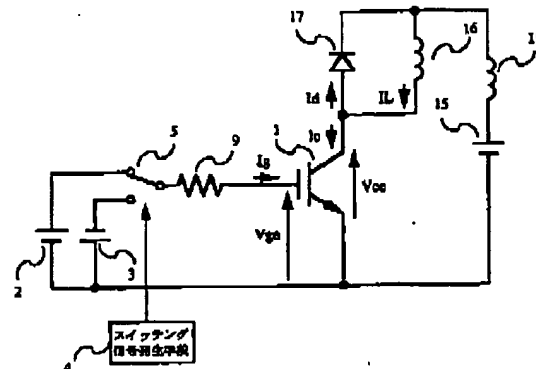
1 IGBT素子、2 オン用直流電圧源、3 オフ用直流電圧源、3a 第1のオフ用直流電圧源、3b 第2のオフ用直流電圧源、4 スwitchング信号発生手段、5 オンオフ切り換え手段、9 第1のゲート抵抗、10 第2のゲート抵抗、11 切り換え手段、12 第1の駆動手段、13 第2の駆動手段、14 電流減少開始点検出手段、20 オン用直流電流源、21 第1のオフ用直流電流源、22 第2のオフ用直流電流源、25 電圧検出手段、26 基準電圧源、27 比較手段、28 電流検出手段、29 微分手段、30 電圧調整手段。

【図1】

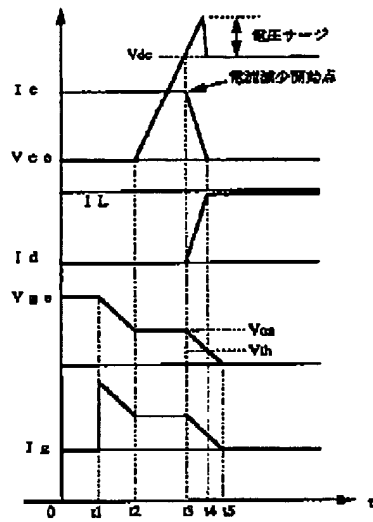


- 1 : IGBT素子  
2a : 第1のオン用直流電圧源  
2b : 第2のオン用直流電圧源  
3a : 第1のオフ用直流電圧源  
3b : 第2のオフ用直流電圧源  
4 : スwitchング信号発生手段  
5a : 第1のオンオフ切り換え手段  
5b : 第2のオンオフ切り換え手段  
9 : 第1の抵抗  
10 : 第2の抵抗  
11 : 切り換え手段  
12 : 第1の駆動手段  
13 : 第2の駆動手段  
14 : 電流減少開始点検出手段

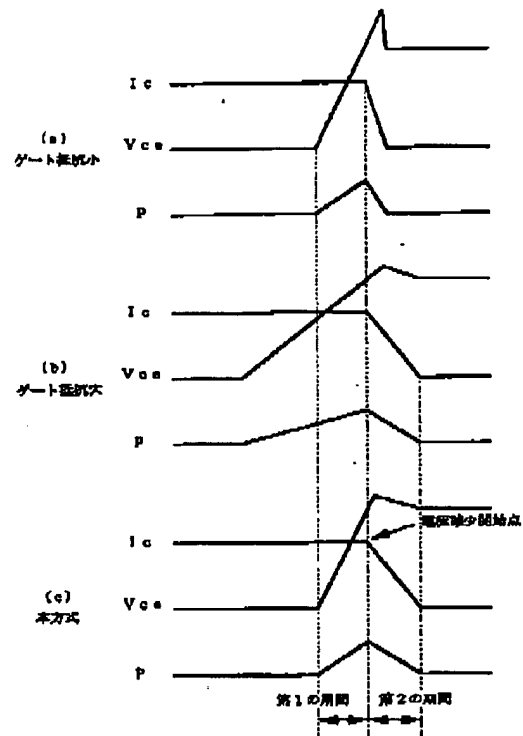
【図2】



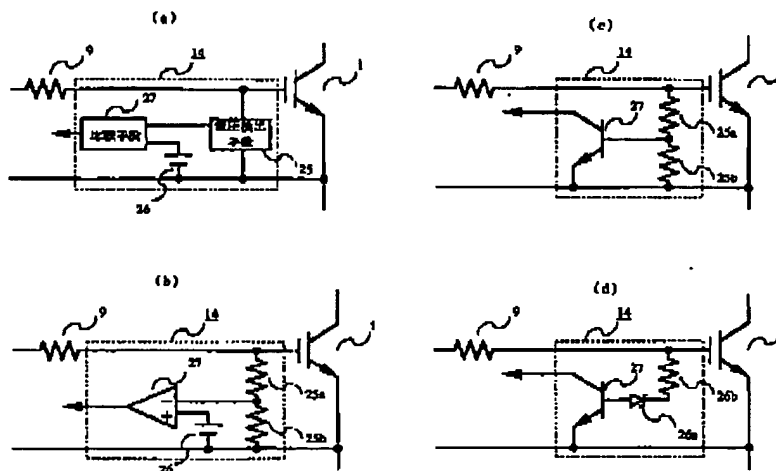
【図3】



【図4】

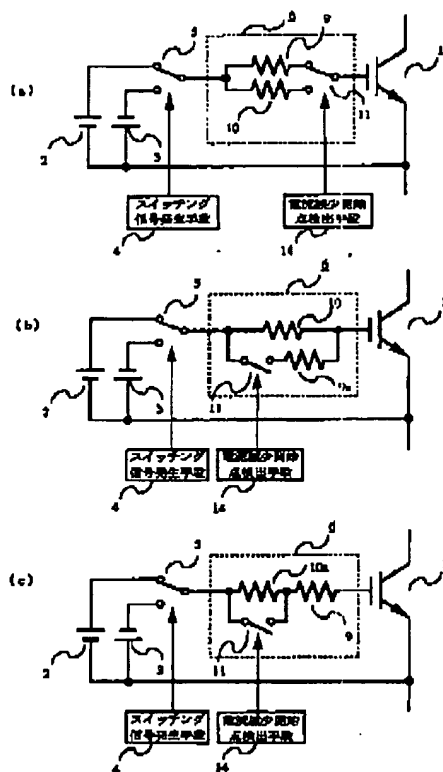


【図9】

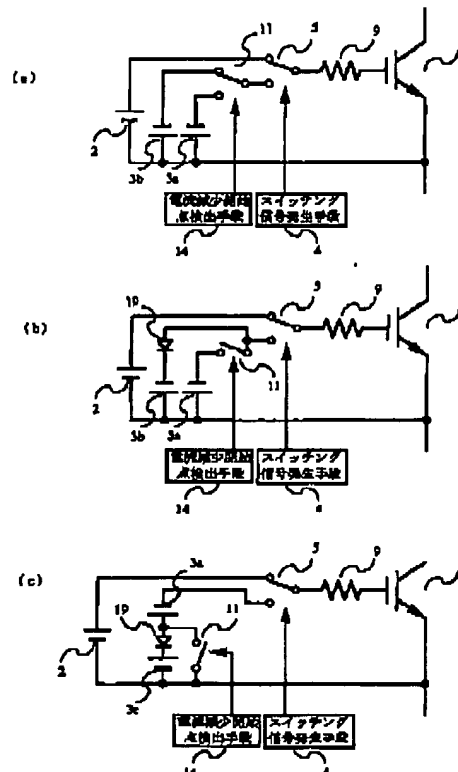




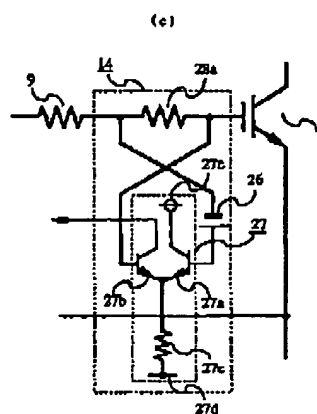
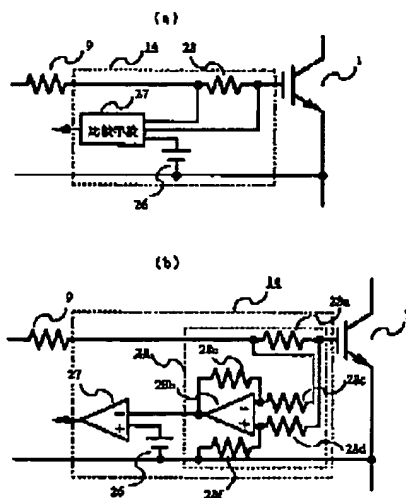
【図6】



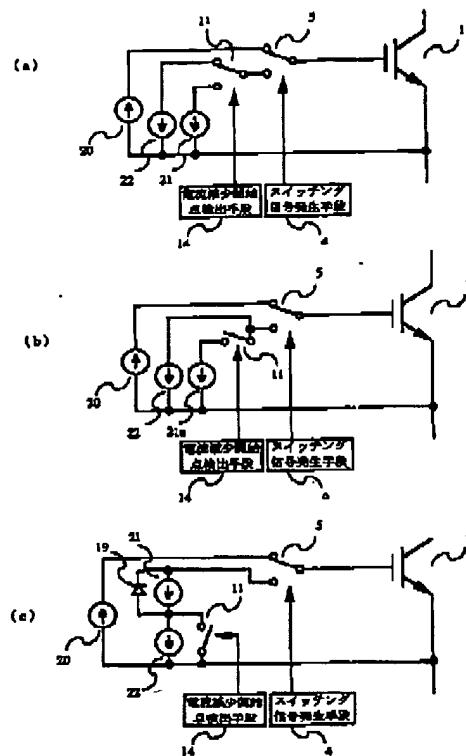
【図6】



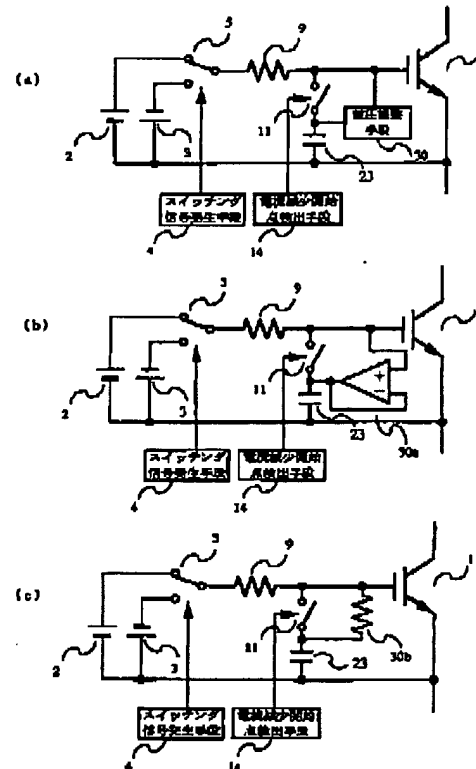
【図11】



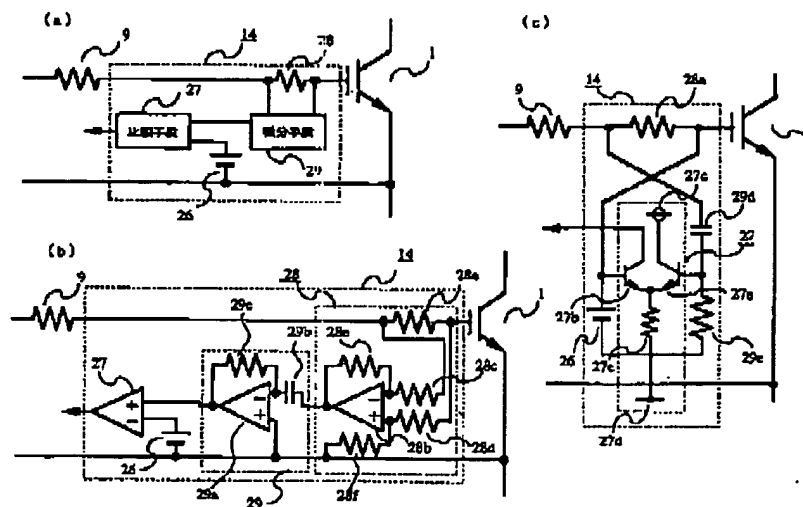
【図 7】



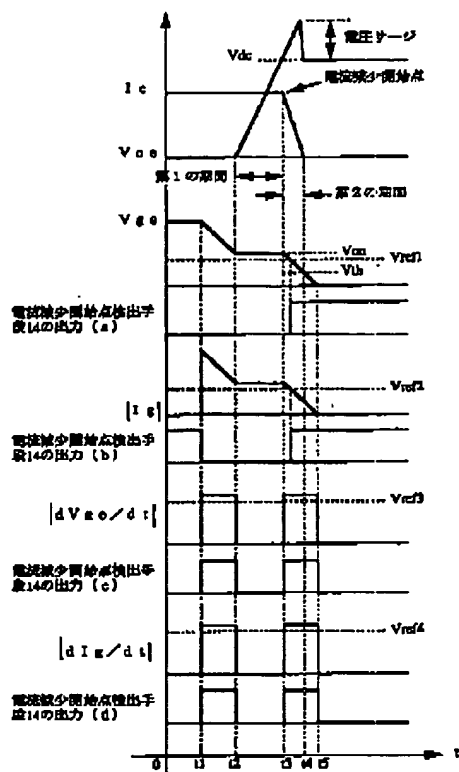
【図 8】



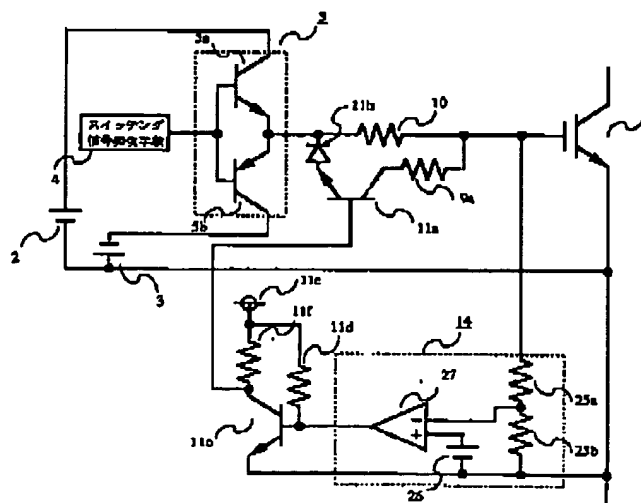
【図 13】



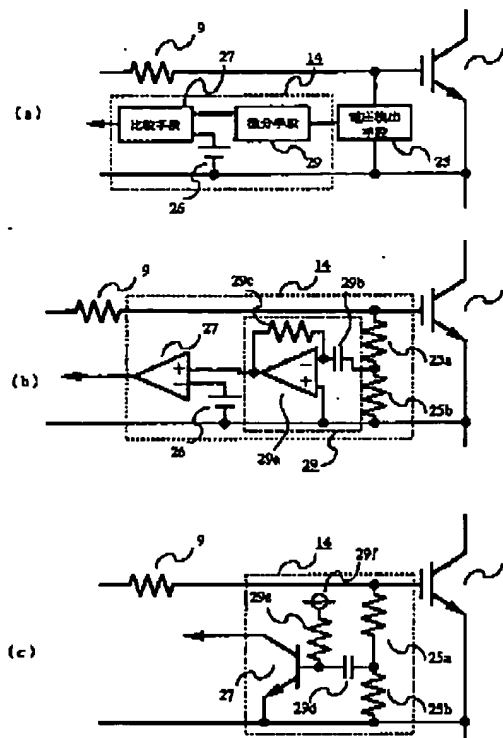
【図10】



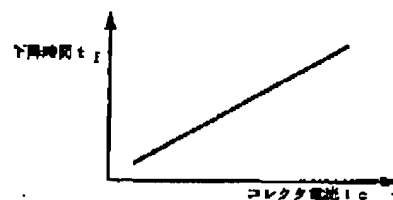
【図14】



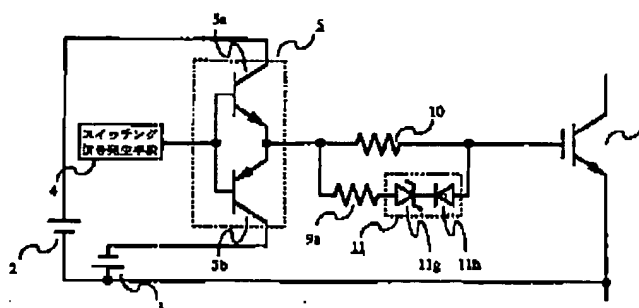
【図12】



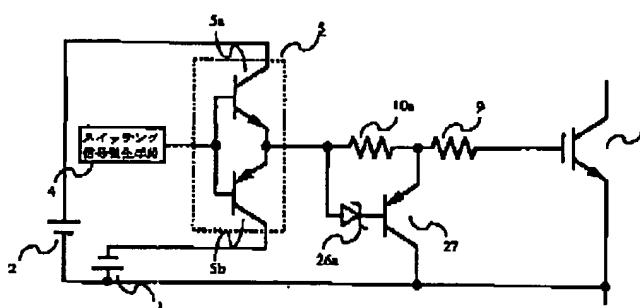
【図21】



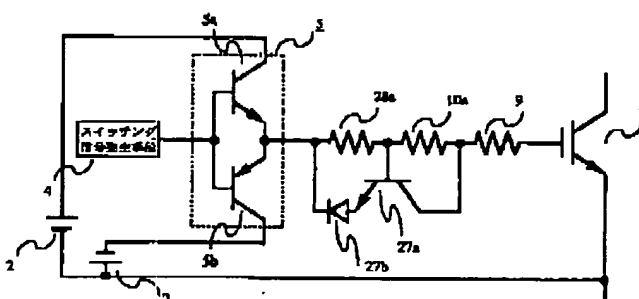
【図15】



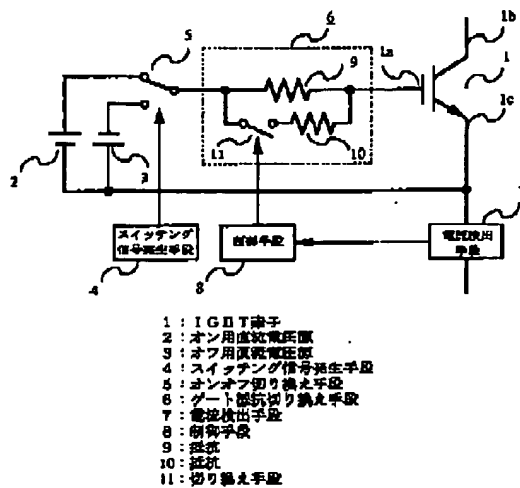
【図16】



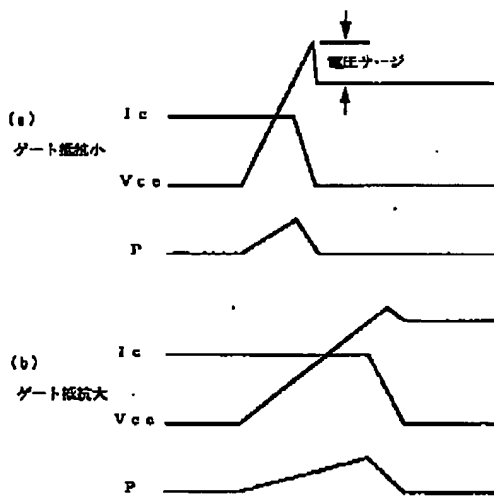
【図17】



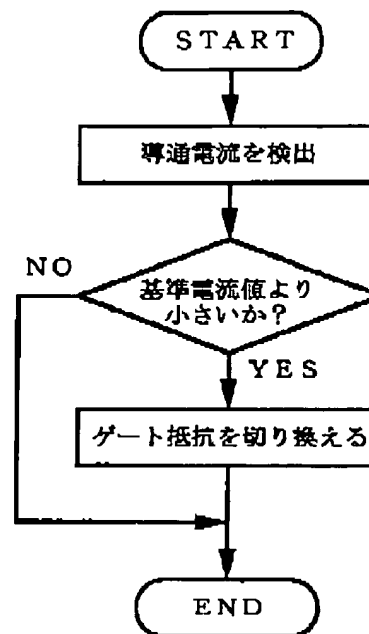
【図18】



【図20】



【図19】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**